



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086401
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

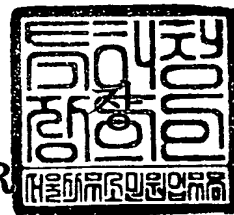
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 24 일

특 허 청

COMMISSIONER



【서지사항】

| | | | |
|------------|--|---|----------|
| 【서류명】 | 특허출원서 | | |
| 【권리구분】 | 특허 | | |
| 【수신처】 | 특허청장 | | |
| 【참조번호】 | 0079 | | |
| 【제출일자】 | 2002. 12. 30 | | |
| 【발명의 명칭】 | 반도체 금속 배선 형성 방법 | | |
| 【발명의 영문명칭】 | METHOD FOR FORMING A METAL LINE IN A SEMICONDUCTOR DEVICE | | |
| 【출원인】 | | | |
| 【명칭】 | 동부전자 주식회사 | | |
| 【출원인코드】 | 1-1998-106725-7 | | |
| 【대리인】 | | | |
| 【성명】 | 장성구 | | |
| 【대리인코드】 | 9-1998-000514-8 | | |
| 【포괄위임등록번호】 | 1999-059722-7 | | |
| 【대리인】 | | | |
| 【성명】 | 김원준 | | |
| 【대리인코드】 | 9-1998-000104-8 | | |
| 【포괄위임등록번호】 | 1999-059725-9 | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 박철수 | | |
| 【성명의 영문표기】 | PARK, Cheol Soo | | |
| 【주민등록번호】 | 610313-1637911 | | |
| 【우편번호】 | 467-020 | | |
| 【주소】 | 경기도 이천시 관고동 223-14 | | |
| 【국적】 | KR | | |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인) | | |
| 【수수료】 | | | |
| 【기본출원료】 | 11 | 면 | 29,000 원 |
| 【가산출원료】 | 0 | 면 | 0 원 |

1020020086401

출력 일자: 2003/11/28

| | | | | |
|----------|--------|----------------|---|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 0 | 항 | 0 | 원 |
| 【합계】 | 29,000 | 원 | | |
| 【첨부서류】 | 1. | 요약서·명세서(도면)_1통 | | |

【요약서】

【요약】

반도체 금속 배선 형성 방법을 개시한다.

본 발명에 따른 반도체 금속 배선 형성 방법은, 반도체 기판상에 제 1 금속 배선을 형성한 후, 제 1 금속 배선 상부에 제 1 절연막을 적층하는 제 1 단계와; 제 1 절연막 상부에 콘택트 플러그용 감광막을 패터닝한 후, 제 1 금속 배선이 노출될 때까지 제 1 절연막을 건식 식각하는 제 2 단계와; 콘택트 플러그용 감광막을 제거한 후, 건식 식각된 제 1 절연막내에 콘택트 플러그용 도체를 매립하는 제 3 단계와; 제 1 절연막 상부에 식각 정지 질화막, 제 2 절연막을 순차 증착한 후, 배선 코어 형성을 감광막을 패터닝하는 제 4 단계와; 제 4 단계 수행 후, 노출된 제 2 절연막을 건식 식각하여 식각 정지 질화막을 노출시킨 다음, 노출된 식각 정지 질화막을 건식 식각함으로써 콘택트 플러그용 도체를 노출시키는 제 5 단계와; 배선 코어 형성을 감광막을 제거한 후, 건식 식각된 제 2 절연막내에 배선 코아용 재료를 매립하는 제 6 단계와; 제 2 절연막을 선택적으로 건식 식각하여 배선 코아용 재료를 노출시키는 제 7 단계와; 노출된 배선 코아용 재료 상부에 제 2 금속 배선을 증착한 후, 블랭킷 에치백(Blanket Etchback) 공정을 수행하여 제 2 금속 배선이 배선 코아용 재료 양쪽 측면에 접착됨으로써, 배선 코아 재료 양쪽으로 전류가 분기되는 제 8 단계를 포함한다.

따라서, 본 발명은 금속 배선을 배선 코아 양측면에 접착시켜 전류 흐름을 양쪽으로 분기시킴으로써, 반도체 금속 배선 구조의 EM(Electromigration)을 개선하고 저항을 감소시킬 수 있는 효과가 있다.

【대표도】

도 1f

【명세서】

【발명의 명칭】

반도체 금속 배선 형성 방법{METHOD FOR FORMING A METAL LINE IN A SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1f는 본 발명의 바람직한 실시예에 따른 반도체 금속 배선 형성 과정을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 부호의 설명>

| | |
|--------------------|--------------|
| 10 : 제 1 금속 배선 | 12 : 제 1 절연막 |
| 14 : 콘택트 플러그용 감광막 | 16 : 콘택트 플러그 |
| 18 : 식각 정지 질화막 | 20 : 제 2 절연막 |
| 22 : 배선 코아 형성을 감광막 | 24 : 배선 코아 |
| 26 : 제 2 금속 배선 | |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 금속 배선 형성 기술에 관한 것으로, 특히, 저항을 감소시키고 제조 비용을 줄이는데 적합한 반도체 금속 배선 형성 방법에 관한 것이다.

<9> 반도체가 고집적화되어 감에 따라 금속 배선의 중요성이 점차 증가하고 있으며, 특히, 메모리 뿐만 아니라 로직 설계 기술에서는 전공정(FEOL : Front End of Line)보다도 후공정(BEOL : Back End of Line)의 비중이 점점 높아지고 있는 추세이다.

- <10> 이러한 현상은 배선 형성시 저항값과 기생 캐패시터의 증가로 소자의 구동 속도를 저하시키는 원인이 되어 왔다.
- <11> 즉, 일반적인 반도체 금속 배선 형성 기술은, 구조적인 측면에서 여러 가지 어려움을 안고 있을 뿐만 아니라, 반도체 제조에 소요되는 비용을 상승시킬 수 있다는 문제가 제기되었다.
- 【발명이 이루고자 하는 기술적 과제】
- <12> 본 발명은 상술한 상술한 문제를 해결하기 위해 안출한 것으로, 금속 배선을 배선 코어 양측면에 접착시켜 전류 흐름을 양쪽으로 분기시킴으로써, 반도체 금속 배선 구조의 EM(Electromigration)을 개선하고 저항을 감소시키도록 한 반도체 금속 배선 형성 방법을 제공하는데 그 목적이 있다.
- <13> 이러한 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, 반도체 금속 배선 형성 방법에 있어서, 반도체 기판상에 제 1 금속 배선을 형성한 후, 제 1 금속 배선 상부에 제 1 절연막을 적층하는 제 1 단계와; 제 1 절연막 상부에 콘택트 플러그용 감광막을 패터닝한 후, 제 1 금속 배선이 노출될 때까지 제 1 절연막을 건식 식각하는 제 2 단계와; 콘택트 플러그용 감광막을 제거한 후, 건식 식각된 제 1 절연막내에 콘택트 플러그용 도체를 매립하는 제 3 단계와; 제 1 절연막 상부에 식각 정지 질화막, 제 2 절연막을 순차 증착한 후, 배선 코어 형성용 감광막을 패터닝하는 제 4 단계와; 제 4 단계 수행 후, 노출된 제 2 절연막을 건식 식

각하여 식각 정지 질화막을 노출시킨 다음, 노출된 식각 정지 질화막을 건식 식각함으로써 콘택트 플러그용 도체를 노출시키는 제 5 단계와; 배선 코어 형성을 감광막을 제거한 후, 건식 식각된 제 2 절연막내에 배선 코아용 재료를 매립하는 제 6 단계와; 제 2 절연막을 선택적으로 건식 식각하여 배선 코아용 재료를 노출시키는 제 7 단계와; 노출된 배선 코아용 재료 상부에 제 2 금속 배선을 증착한 후, 블랭킷 에치백(Blanket Etchback) 공정을 수행하여 제 2 금속 배선이 배선 코아용 재료 양쪽 측면에 접착됨으로써, 배선 코아 재료 양쪽으로 전류가 분기되는 제 8 단계를 포함하는 반도체 금속 배선 형성 방법을 제공한다.

【발명의 구성 및 작용】

- <14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.
- <15> 도 1a 내지 도 1f는 본 발명의 바람직한 실시예에 따른 금속 배선 형성 과정을 설명하기 위한 공정 단면도이다.
- <16> 먼저, 도 1a에 도시한 바와 같이, 반도체 기판상에 제 1 금속 배선(10)을 형성한 후, 이러한 제 1 금속 배선(10) 상부에 제 1 절연막, 예컨대, 평탄화 절연막(12)을 적층한다.
- <17> 그리고, 이 제 1 절연막(12) 상부에 콘택트 플러그용 감광막(14)을 패터닝한 후, 제 1 절연막을 건식 식각하여 제 1 금속 배선(10)을 노출시킨다.
- <18> 다음, 도 1b에서는, 이러한 콘택트 플러그용 감광막(14)을 제거한 후, 건식 식각된 제 1 절연막(12)내에 콘택트 플러그용 도체(16)를 매립하고 도 1c로 진행한다.
- <19> 도 1c에서는 제 1 절연막(12) 상부에 식각 정지 질화막(18), 제 2 절연막, 예컨대, 배선 코아용 절연막(20)을 순차 증착한 후, 배선 코어 형성을 감광막(22)을 패터닝한다.

- <20> 이러한 패터닝 과정이 수행된 후, 노출된 제 2 절연막(20)을 건식 식각하여 식각 정지 질화막(18)을 노출시킨 다음, 노출된 식각 정지 질화막(18)을 건식 식각함으로써 콘택트 플러그용 도체(16)를 노출시킨다.
- <21> 이후, 도 1d에서는 배선 코어 형성을 감광막(22)을 제거하고, 건식 식각된 제 2 절연막(20)내에 배선 코어용 재료(24)를 매립한다. 이때, 이러한 배선 코어용 재료(24)는, 바람직하게는 TaN 또는 TiN이 적용될 수 있을 것이다.
- <22> 그리고, 도 1e에 도시한 바와 같이, 상술한 제 2 절연막(20)을 선택적으로 건식 식각하여 배선 코어용 재료(24)를 노출시키고, 도 1f로 진행한다.
- <23> 도 1f는 노출된 배선 코어용 재료(24) 상부에 제 2 금속 배선(26), 예컨대, Al을 증착한 다음, 블랭킷 에치백(Blanket Etchback) 공정을 수행한 후의 공정 단면도이다.
- <24> 이때, 이러한 제 2 금속 배선(26)은 배선 코어용 재료(24) 양쪽에 붙어있어 배선을 양쪽으로 나눌 수 있도록 구현하였다. 즉, 제 2 금속 배선이 배선 코어용 재료(24) 양쪽 측면에 접촉됨으로써, 배선 코어 재료 양쪽으로 전류가 분기되도록 한 것이다.
- <25> 또한, 본 발명에서는 이러한 배선 코어용 재료(24)의 높이를 조절함으로써 저항을 낮출 수 있도록 구현한 것을 특징으로 한다.

【발명의 효과】

- <26> 따라서, 본 발명은 반도체 금속 배선 구조의 EM을 개선하고 저항을 감소시키며, 제조 비용을 줄일 수 있는 효과가 있다.

<27> 이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위내에서 여러 가지 변형이 가능한 것은 물론이다.

【특허청구범위】**【청구항 1】**

반도체 금속 배선 형성 방법에 있어서,

반도체 기판상에 제 1 금속 배선을 형성한 후, 상기 제 1 금속 배선 상부에 제 1 절연막을 적층하는 제 1 단계와;

상기 제 1 절연막 상부에 콘택트 플러그용 감광막을 패터닝한 후, 상기 제 1 금속 배선이 노출될 때까지 상기 제 1 절연막을 건식 식각하는 제 2 단계와;

상기 콘택트 플러그용 감광막을 제거한 후, 상기 건식 식각된 제 1 절연막내에 콘택트 플러그용 도체를 매립하는 제 3 단계와;

상기 제 1 절연막 상부에 식각 정지 질화막, 제 2 절연막을 순차 증착한 후, 배선 코어 형성용 감광막을 패터닝하는 제 4 단계와;

상기 제 4 단계 수행 후, 노출된 상기 제 2 절연막을 건식 식각하여 상기 식각 정지 질화막을 노출시킨 다음, 상기 노출된 식각 정지 질화막을 건식 식각함으로써 상기 콘택트 플러그용 도체를 노출시키는 제 5 단계와;

상기 배선 코어 형성용 감광막을 제거한 후, 상기 건식 식각된 제 2 절연막내에 배선 코아용 재료를 매립하는 제 6 단계와;

상기 제 2 절연막을 선택적으로 건식 식각하여 상기 배선 코아용 재료를 노출시키는 제 7 단계와;

상기 노출된 배선 코아용 재료 상부에 제 2 금속 배선을 증착한 후, 블랭킷 에치백 (Blanket Etchback) 공정을 수행하여 상기 제 2 금속 배선이 상기 배선 코아용 재료 양쪽 측면

에 접착됨으로써, 상기 배선 코아 재료 양쪽으로 전류가 분기되는 제 8 단계를 포함하는 반도체 금속 배선 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 배선 코아용 재료는 TaN 또는 TiN인 것을 특징으로 하는 반도체 금속 배선 형성 방법.

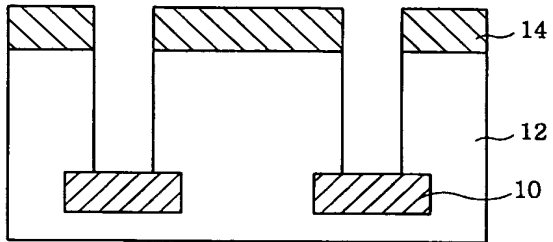
【청구항 3】

제 2 항에 있어서,

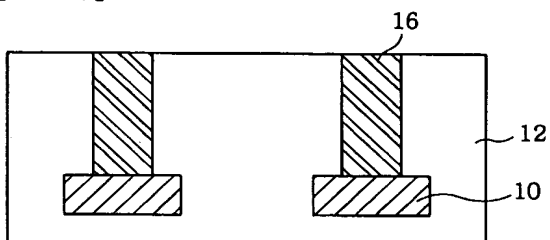
상기 배선 코아용 재료는 그 높이가 조절됨으로써 저항값의 조절이 가능한 것을 특징으로 하는 반도체 금속 배선 형성 방법.

【도면】

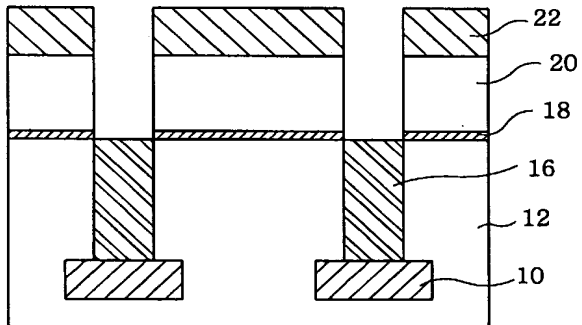
【도 1a】



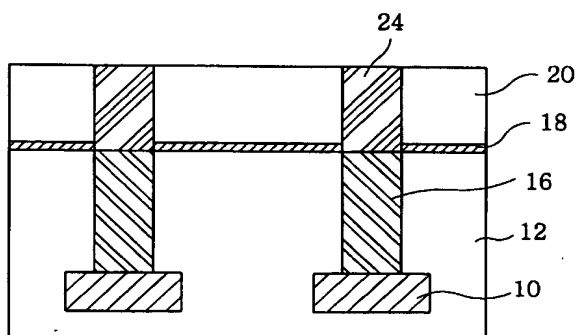
【도 1b】



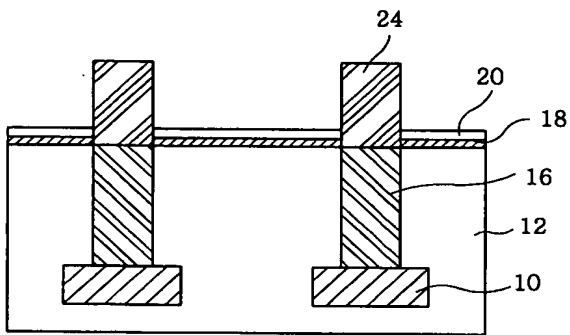
【도 1c】



【도 1d】



【도 1e】



【도 1f】

